



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takahiro OKUNO, et al.

GAU: 2811

SERIAL NO: 10/814,246

EXAMINER:

FILED: April 1, 2004

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2004-008042	January 15, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

10/814,246

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 1 月 1 5 日

出 願 番 号  
Application Number: 2 0 0 4 - 0 0 8 0 4 2

[ST. 10/C]: 2 0 0 4 - 0 0 8 0 4 2 ]

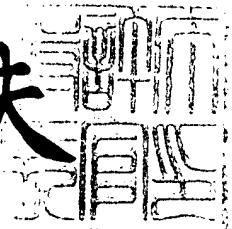
出 願 人  
Applicant: 株式会社東芝

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年 6 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 14545101  
【提出日】 平成16年 1月15日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/78  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝 マイクロ  
                                エレクトロニクスセンター内  
    【氏名】 奥 野 高 広  
【発明者】  
    【住所又は居所】 兵庫県揖保郡太子町鵜 3 0 0 番地 株式会社東芝 姫路半導体工  
                                場内  
    【氏名】 田 中 雅 浩  
【特許出願人】  
    【識別番号】 000003078  
    【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号  
    【氏名又は名称】 株式会社 東 芝  
【代理人】  
    【識別番号】 100075812  
    【弁理士】  
    【氏名又は名称】 吉 武 賢 次  
【選任した代理人】  
    【識別番号】 100088889  
    【弁理士】  
    【氏名又は名称】 橋 谷 英 俊  
【選任した代理人】  
    【識別番号】 100082991  
    【弁理士】  
    【氏名又は名称】 佐 藤 泰 和  
【選任した代理人】  
    【識別番号】 100096921  
    【弁理士】  
    【氏名又は名称】 吉 元 弘  
【選任した代理人】  
    【識別番号】 100103263  
    【弁理士】  
    【氏名又は名称】 川 崎 康  
【選任した代理人】  
    【識別番号】 100108785  
    【弁理士】  
    【氏名又は名称】 箱 崎 幸 雄  
【手数料の表示】  
    【予納台帳番号】 087654  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 導電型のドリフト層と、  
前記ドリフト層上に配設された第 2 導電型のコレクタ層と、  
前記コレクタ層上に配設されたコレクタ電極と、  
前記ドリフト層上の前記コレクタ層から離隔した領域に配設された第 2 導電型のベース層と、  
前記ベース層の表面から前記ドリフト層内に達するように互いに間隔をおいて形成され、前記ベース層をメインセル領域とダミーセル領域に分割する複数のトレンチと、  
前記メインセル領域内で前記トレンチに沿って前記ベース層の表面層に選択的に形成された第 1 導電型の第 1 のエミッタ層と、  
前記複数のトレンチのうち、前記メインセル領域を挟むトレンチ内にゲート絶縁膜を介して形成されたゲート電極と、  
前記メインセル領域の前記ベース層および前記第 1 のエミッタ層の上に配設されたエミッタ電極と、  
前記ダミーセル領域の前記ベース層の表面層に散在するように選択的に形成され、その表面積が前記第 1 のエミッタ層よりも小さい第 1 導電型の第 2 のエミッタ層と、  
を備える半導体装置。

**【請求項 2】**

第 1 導電型のドリフト層と、  
前記ドリフト層上に配設された第 2 導電型のコレクタ層と、  
前記コレクタ層上に配設されたコレクタ電極と、  
前記ドリフト層上の前記コレクタ層から離隔した領域に配設された第 2 導電型のベース層と、  
前記ベース層の表面から前記ドリフト層内に達するように互いに間隔をおいて形成され、前記ベース層をメインセル領域とダミーセル領域に分割する複数のトレンチと、  
前記メインセル領域内で前記トレンチに沿って前記ベース層の表面層に選択的に形成された第 1 導電型の第 1 のエミッタ層と、  
前記複数のトレンチのうち、前記メインセル領域を挟むトレンチ内にゲート絶縁膜を介して形成されたゲート電極と、  
前記メインセル領域の前記ベース層および前記第 1 のエミッタ層の上に配設されたエミッタ電極と、  
前記ダミーセル領域内の前記ベース層の表面層に選択的に形成された第 2 のエミッタ層と、  
を備える半導体装置であって、  
前記ダミーセル領域の前記ベース層と前記エミッタ電極との間のフローティング抵抗の抵抗値は、装置のターンオンに際してゲート・エミッタ間印加電圧によりゲート・コレクタ間にゲート電荷を充電する期間において、ゲートの負性容量によりゲート・エミッタ間電圧の上昇を生じさせる抵抗値よりも小さくなるように調整される、  
半導体装置。

**【請求項 3】**

前記第 2 のエミッタ層に接して設けられ、前記第 2 のエミッタ層を介して前記ダミーセル領域の前記ベース層を前記エミッタ電極に接続するビアコンタクトをさらに備え、  
前記フローティング抵抗の抵抗値は、前記第 2 のエミッタ層と前記ビアコンタクトの形状により調整されることを特徴とする請求項 2 に記載の半導体装置。

**【請求項 4】**

前記メインセル領域の前記ドリフト層は、前記第 1 のエミッタ層側でピークとなるキャリア濃度分布を有することを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

**【請求項 5】**

前記メインセル領域の前記ドリフト層は、装置のターンオン時において第 2 導電型のキ

キャリアが前記トレンチの底面およびその近傍に蓄積するように十分に狭い電流通路を形成し、

前記第 2 のエミッタ層は、装置のターンオン時において前記エミッタ電極から前記ドリフト層への第 1 導電型のキャリアの注入効率に影響を与えない程度に第 2 導電型のキャリアを前記エミッタ電極へ伝導させる電流経路を形成することを特徴とする請求項 4 に記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば電力用スイッチング素子に適した絶縁ゲート型バイポーラトランジスタを対象とする。

【背景技術】

【0002】

電力用半導体装置の分野では、高耐圧・大電流化に加えて低オン電圧とターンオフ損失の低減が強く要求されている。このような要求に応えるため、IGBT (Insulated Gate Bipolar Transistor) をさらに改良した IEGT (Injected Enhanced Gate Transistor) が開発されている。

【0003】

IEGTとは、n型ベース層のエミッタ側にキャリア濃度のピークを持たせ、正孔を蓄積させてターンオン時にエミッタ電極からの電子の注入効率を高めることにより、低いオン抵抗を実現した電力用半導体素子をいう。

【0004】

図11は、従来の技術によるトレンチ構造の縦型 IEGT の一例を示す断面図である。同図に示す IEGT90 において、n型ドリフト層（本例におけるn型ベース層）100の一方側にn型バッファ層112を介してp型コレクタ層114が設けられている。n型ドリフト層100の他方側には、p型不純物拡散層が設けられ、このp型不純物拡散層の表面からn型ドリフト層100内の領域に達するように複数のトレンチTRが所定間隔で形成され、これにより、p型不純物拡散層がメインセル領域MCとダミーセル領域DCに分割され、それぞれp型メインベース層116とp型ダミーベース層118を構成する。

【0005】

メインセル領域MCのp型メインベース層116の表面層には、n型エミッタ層124が選択的に形成される。ダミーセル領域DCのp型ダミーベース層118の表面は絶縁膜132で覆われており、p型ダミーベース層118の電位はフローティングの状態になるよう設計されている。

【0006】

p型コレクタ層114の上にはコレクタ電極126が設けられている。p型メインベース層116およびn型エミッタ層124の上にはエミッタ電極128が設けられ、n型エミッタ層124に接続される。各トレンチ内は、ゲート絶縁膜120を介してゲート電極122が埋め込まれるように配設される。これらの構造により、メインセル領域MC内には、p型メインベース層116をチャンネル領域としてn型エミッタ層124をn型ドリフト層100に選択的に接続する電子注入用のn型チャンネルMOSFETが形成される。

【0007】

図11に示す IEGT90 では、メインセル領域MCのドリフト層100はエミッタ電極128の側でピークとなるキャリア濃度分布を有し、これにより、n型ドリフト層100とエミッタ電極128とをつなぐ十分に狭い電流通路が形成される。このため、IEGT90のオン状態において、n型ドリフト層100からメインセル領域MCのp型メインベース層116を介してエミッタ電極128へ向かう正孔の流れに対して抵抗が増加し、エミッタ電極128への正孔の排出が制限される。これにより、n型エミッタ層124からn型ドリフト層100への電子の注入効率が向上し、n型ドリフト層100の伝導度変調が促進され、低オン電圧がもたらされる。

【特許文献1】特開2000-40951号公報

【特許文献2】特開2003-204066号公報

【特許文献3】特開号公報

【非特許文献1】IEEE DEVICE LETTERS, VOL. 18, pp 121 - 123

【非特許文献2】I. Omura et al., IEEE Trans. Electron Devices, Vol.46, pp237

- 244, 1999

【非特許文献 3】I. Omura et al., Proceedings of ISPSD'2000, pp.25 - 28, 2000

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、従来の IEGT には、いわゆる負性容量によりゲート電圧がオーバーシュートを起こし、ターンオン時の電圧変化率  $dV/dt$  が制御できなくなるおそれがある、という問題があった。この点を図 12 および図 13 を参照しながら説明する。なお、以下の各図において、同一の部分には同一の参照番号を付し、その重複説明は、必要な場合に限り行なう。

【0009】

図 12 は、実験により得られた、従来の IEGT のターンオン時の電圧および電流波形の一例を示すグラフである。同図において、 $V_{ge}$  はゲート・エミッタ間電圧、 $V_{ce}$  はコレクタ・エミッタ間電圧、 $I_c$  はコレクタ電流を示す。

【0010】

この実験において、IEGT の耐圧は 1200 V、コレクタ・エミッタ間の印加電圧は 600 V、ゲート抵抗  $R_g$  は  $51\ \Omega$  とした。また、p 型ダミーベース層 118 とエミッタ電極 128 との間の抵抗は  $10\ \Omega$  とした。

【0011】

図 12 に示すように、従来の IEGT では、ミラー期間  $t_1 \sim t_2$  (ゲート・エミッタ間印加電圧によりゲート・コレクタ間を充電する期間) の初期におけるコレクタ・エミッタ間の電圧変化率 ( $dV/dt$ ) が約  $20\text{ kV}/\mu\text{s}$  以上あり、激しく波形が振動した。

【0012】

図 13 は、シミュレーションにより得られた、従来の IEGT のターンオン時のゲート電荷特性の一例を示すグラフである。同図において、 $V_{ge}$  はゲート・エミッタ間電圧、 $V_{ce}$  はコレクタ・エミッタ間電圧、 $Q_g$  はゲート電荷を示す。また、実線はダイナミック計算により得られた特性、破線はスタティック計算 ( $V_{ce}=0\text{ V}$  および  $V_{ce}=600\text{ V}$ ) により得られた特性を示す。シミュレーションにおける IEGT の条件は、本シミュレーションのパラメータを除いて、図 12 に関して説明したものと同一である。

【0013】

従来の IEGT では、ミラー期間 (図 12 の期間  $t_1 \sim t_2$ ) におけるゲート・エミッタ間電圧  $V_{ge}$  (以後、 $V_{ge(on)}$  と表わす) が、 $V_{ce}=600\text{ V}$  のスタティック特性で  $V_{ge}$  を上げていくと  $Q_g$  が減少する  $V_{ge}$  領域内に入っている。この場合、図 13 に示すとおり、ダイナミック特性において、 $Q_g$  の波形が激しく振動している。

【0014】

$V_{ge}$  を上げていくと  $Q_g$  が減少する現象は、 $C_g = dQ_g / dV_{ge}$  が負になることから負性容量 (ゲートの負性容量) と呼ばれている。負性容量は、半導体装置の並列駆動に際し、電流アンバランスを発生させる原因として知られている (例えば、特許文献 1 および非特許文献 1 参照)。

【0015】

図 13 のダイナミック特性に見られるように、ミラー期間のゲート・エミッタ間電圧  $V_{ge(on)}$  が負性容量を示す  $V_{ge}$  領域内に入ると、ゲート・エミッタ間電圧  $V_{ge}$  が振動する。これにより、短時間でゲート・エミッタ間電圧  $V_{ge}$  が上昇してしまう結果、コレクタ電流が急激に通電して大きな  $dV/dt$  が発生してしまう。

【0016】

本願発明者の研究により、このような負性容量によるゲート・エミッタ間電圧  $V_{ge}$  のオーバーシュートは、ダミーセル領域における p 型ダミーベース層の電位が完全にはフローティング化していないことに起因することが判明した。

【0017】

より具体的には、上述した通り p 型ダミーベース層の電位がフローティング化するよう

に設計しても、寄生構造（例えば、セル端や接合終端部との部分的接続）による寄生抵抗を介してオフ時の電位がゼロ電位近傍で固定されると、ターンオンに際してゲート・エミッタ間電圧  $V_{ge(on)}$  が閾値電圧  $V_{th}$  に達したとたんに、正孔の注入に伴って p 型ダミーベース層の電位が急上昇してしまう。これにより、ゲート・エミッタ間電圧  $V_{ge}$  がオーバーシュートしてしまう。

【0018】

この一方、ダミーベース層の全面にエミッタコンタクトを設ければ、上述した  $dV/dt$  の制御不能の問題は解消する。しかしながら、その場合は、IE 効果が喪失し、これでは低  $V_{ce(sat)}$  特性を実現することができない。

【0019】

上記問題を回避するため、例えば特許文献 3 に記載された構造を利用すれば、IE 効果を維持したままでダミーベース層の完全フロート化を実現し得る。

【0020】

しかしながら、特許文献 3 に記載の構造では、例えば電流容量が異なる場合などにセル長を変更すると、これに応じて当該構造も変更させなければならない。従って、特許文献 3 に記載の構造は、単位構造としての汎用性・共通性に欠ける、という問題がある。

【0021】

本発明は上記事情に鑑みてなされたものであり、その目的は、ダミーセルのダミーベース層における電位の完全フローティング化を実現することにより、IE 効果を維持しながら、破壊耐量が改善された半導体装置を提供することにある。

【課題を解決するための手段】

【0022】

本発明は、以下の手段により上記課題の解決を図る。

【0023】

即ち、本発明によれば、

第 1 導電型のドリフト層と、

上記ドリフト層上に配設された第 2 導電型のコレクタ層と、

上記コレクタ層上に配設されたコレクタ電極と、

上記ドリフト層上の上記コレクタ層から離隔した領域に配設された第 2 導電型のベース層と、

上記ベース層の表面から上記ドリフト層内に達するように互いに間隔をおいて形成され、上記ベース層をメインセル領域とダミーセル領域に分割する複数のトレンチと、

上記メインセル領域内で上記トレンチに沿って上記ベース層の表面層に選択的に形成された第 1 導電型の第 1 のエミッタ層と、

上記複数のトレンチのうち、上記メインセル領域を挟むトレンチ内にゲート絶縁膜を介して形成されたゲート電極と、

上記メインセル領域の上記ベース層および上記第 1 のエミッタ層の上に配設されたエミッタ電極と、

上記ダミーセル領域の上記ベース層の表面層に散在するように選択的に形成され、その表面積が上記第 1 のエミッタ層よりも小さい第 1 導電型の第 2 のエミッタ層と、を備える半導体装置が提供される。

【0024】

また、本発明によれば、

第 1 導電型のドリフト層と、

上記ドリフト層上に配設された第 2 導電型のコレクタ層と、

上記コレクタ層上に配設されたコレクタ電極と、

上記ドリフト層上の上記コレクタ層から離隔した領域に配設された第 2 導電型のベース層と、

上記ベース層の表面から上記ドリフト層内に達するように互いに間隔をおいて形成され、上記ベース層をメインセル領域とダミーセル領域に分割する複数のトレンチと、



上記メインセル領域内で上記トレンチに沿って上記ベース層の表面層に選択的に形成された第1導電型の第1のエミッタ層と、

上記複数のトレンチのうち、上記メインセル領域を挟むトレンチ内にゲート絶縁膜を介して形成されたゲート電極と、

上記メインセル領域の上記ベース層および上記第1のエミッタ層の上に配設されたエミッタ電極と、

上記ダミーセル領域内の上記ベース層の表面層に選択的に形成された第2のエミッタ層と、

を備える半導体装置であって、

上記ダミーセル領域の上記ベース層と上記エミッタ電極との間のフローティング抵抗の抵抗値は、装置のターンオンに際してゲート・エミッタ間印加電圧によりゲート・コレクタ間にゲート電荷を充電する期間において、ゲートの負性容量によりゲート・エミッタ間電圧の上昇を生じさせる抵抗値よりも小さくなるように調整される、半導体装置が提供される。

#### 【発明の効果】

##### 【0025】

本発明によれば、I E効果による低 $V_{ce(sat)}$ 特性を損なうことなく、コレクタ・エミッタ間の電圧変化率( $dV/dt$ )を高精度で制御できる半導体装置が提供される。

#### 【発明を実施するための最良の形態】

##### 【0026】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下の説明において、第1導電型としてn型、第2導電型としてp型が使用される。

##### 【0027】

(第1の実施の形態)

図1は、本発明にかかる半導体装置の第1の実施の形態の概略構成を示す平面図である。図2は、図1のB-B線に沿った断面図であり、図3は、図1のA-A切断線からみた断面斜視図である。

##### 【0028】

本実施形態のI E G T 1は、図2の断面図に示すように、n型ドリフト層(n型ベース層)10と、n型バッファ層12と、p型コレクタ層14と、第1のp型ベース層16と、第2のp型ベース層18と、第1のエミッタ層24と、第2のエミッタ層32と、トレンチTRと、ゲート絶縁膜20と、ゲート電極22と、エミッタ電極28と、ビアコンタクト30と、フローティング抵抗34と、コレクタ電極26とを備える。

##### 【0029】

p型コレクタ層14は、n型ドリフト層10の一方側にn型バッファ層12を介して配設される。n型ドリフト層10の他方側には、p型ベース層(16, 18)が形成され、このp型ベース層の表面からp型ベース層自身を貫通してn型ドリフト層10内の領域に達するように複数のトレンチTRが間隔をおいて設けられ、このトレンチTRにより、p型ベース層の表面領域でメインセル領域MCとダミーセル領域DCが画定され、p型ベース層が各領域で第1のベース層16と第2のベース層18にそれぞれ分割される。なお、共通のp型ベース層をこのようにトレンチTRにより分割する方法の他、第1のp型ベース層16と第2のp型ベース層18とを別々の層として形成することもできる。

##### 【0030】

第1のエミッタ層24は、p型ベース層16の表面層に選択的に形成される。メインセル領域MC内で対向する第1のエミッタ層24の表面の一部と、対向するこれらの第1のエミッタ層24に挟まれた第1のベース層16の表面とに接するように、エミッタ電極28が配設される。

##### 【0031】

ゲート電極22は、トレンチTR内でゲート絶縁膜20に覆われるように形成される。また、コレクタ電極26は、コレクタ層14に接するように配設される。

**【0032】**

第2のエミッタ層32は、本実施形態のIEGT1の特徴点の一つであり、ダミーセルDC領域内の第2ベース層18の表面層に狭小な孤立パターンの形態で（図1参照）選択的に形成される。本実施形態において第2のエミッタ層32は、図3の断面斜視図にも示されるように、それぞれが一端でトレンチTRに接し、互いに対向して対をなすように形成される。第2のエミッタ層32は、装置のターンオン時において、エミッタ電極28からn型ドリフト層10への電子の注入効率に影響を与えない程度に正孔をエミッタ電極28へ伝導させる電流経路を形成する。

**【0033】**

ビアコンタクト30は、図3にも示すように、第2のエミッタ層32と第2のベース層18の表面領域のうち第2のエミッタ層32に挟まれた領域（エミッタコンタクト領域Rec2）に接するように配設され、第2のベース層18とエミッタ電極28とを電氣的に接続する。ビアコンタクト30は、エミッタ層32とともにフローティング抵抗34を構成する。従って、フローティング抵抗34の抵抗値は、エミッタ層32とビアコンタクト30の形状により調整される。

**【0034】**

図4は、実験により得られた、本実施形態のIEGT1のターンオン時の電圧および電流波形を示すグラフである。この実験に供した本実施形態のIEGT1において、その耐圧は1200V、コレクタ・エミッタ間の印加電圧は600V、ゲート抵抗Rgは51Ωとした。

**【0035】**

図4に示すように、本実施形態のIEGT1では、ビアコンタクト30を介して第2ベース層18がエミッタ電極28に接続されているので、オフ時においてもベース層18の電位が0に固定されず、第2ベース層18中の第2エミッタ層32下部の領域によりターンオン時にダミーセル領域DC内に部分的なチャネル領域が形成される。このため、ミラー期間 $t_1 \sim t_2$ の初期における $dV/dt$ が約 $5\text{ kV}/\mu\text{s}$ 以下に低減され、波形振動も抑えられた。この点、従来技術でのIEGTにおいて電圧変化率（ $dV/dt$ ）が約 $20\text{ kV}/\mu\text{s}$ 以上で波形も激しく振動した点と対照的である（図12参照）。

**【0036】**

図5は、シミュレーションにより得られた、IEGT1のターンオン時のゲート電荷特性の一例を示すグラフである。シミュレーションにおけるIEGTの条件は、本シミュレーションのパラメータを除いて、図4に関して説明したものと同一である。

**【0037】**

本実施形態のIEGT1では、負性容量を示す $V_{ge}$ の領域が高電圧側にシフトし、この領域内に $V_{ge(on)}$ が入っていない。この場合、ダイナミック特性において、 $Q_g$ の波形の振動は殆ど見られない。この点、従来技術のIEGTにおいて $V_{ge(on)}$ が負性容量を示す $V_{ge}$ 領域内に入っており、ダイナミック特性においても、 $Q_g$ の波形が激しく振動している点と対照的である（図13参照）。

**【0038】**

本実施形態において、フローティング抵抗34の抵抗値Rfloatは、第2のp型ベース層18の表面層に孤立パターンの形態で部分的に形成された第2のn型エミッタ層32とビアコンタクト30の形状で調整される。抵抗値Rfloatが適切な値に調整されることにより、 $V_{ge(on)}$ が負性容量を示す $V_{ge}$ 領域内に入ることが防止され、IE効果を維持しながら、 $V_{ge}$ の振動とそれに起因する高 $dV/dt$ を防止することができる。

**【0039】**

図6(a)、(b)は、シミュレーションにより得られた、フローティング抵抗34の抵抗値Rfloatに対する $dV/dt$ およびオン電圧の関係、並びにRfloatに対する負性容量を示す $V_{ge}$ の範囲NCRおよびオン電圧との関係をそれぞれ示すグラフである。同図において、 $V_{ce(sat)}$ はオン状態におけるコレクタ・エミッタ間電圧（飽和電圧）、 $V_{ge(on)}$ はミラー期間中の非振動時のゲート・エミッタ間電圧、 $V_{th}$ はゲートしきい値電圧をそ

れぞれ示す。シミュレーションにおける I E G T の条件は、本シミュレーションのパラメータを除いて、図 4 に関して説明したものと同一である。フローティング抵抗 34 の抵抗値 R float の望ましい範囲は、図 6 (a) において、V ce (sat) が低く且つ  $dV/dt$  が小さい範囲である。この実験条件では、R float の望ましい範囲は約  $0.3 \sim 3 \Omega$  となる。

#### 【0040】

図 6 (b) に示すように、フローティング抵抗 34 の抵抗値 R float が高くなるほど、負性容量を示す V ge の範囲 N C R 1 ~ N C R 6 の値は低くなる。R float が  $5 \Omega$  以上の N C R 3 ~ N C R 6 では、それ等の範囲が V ge (on) と重なり、または V ge (on) の下に位置する。これは、ミラー期間の V ge (on) が負性容量を示す V ge 領域内に入ることを意味する。従って、V ge が振動し、短時間で V ge が上昇してしまう結果、コレクタ電流が急激に通電して大きな  $dV/dt$  が発生するという問題が生じる。

#### 【0041】

この一方、本実施形態における V ge の範囲は、R float が  $3 \Omega$  以下の N C R 1、N C R 2 に属し、これらの範囲は V ge (on) よりも上に位置する。この場合、V ge は負性容量の影響を受ける前にターンオン状態に至るので、V ge のオーバーシュートが防止され、 $dV/dt$  が適切な値に制御される。

#### 【0042】

このように、本実施形態の I E G T 1 によれば、I E 効果による V ce (sat) 特性を損なうことなく、 $dV/dt$  の制御性に優れた半導体素子が提供される。

#### 【0043】

(第 2 の実施の形態)

図 7 は、本発明にかかる半導体装置の第 2 の実施の形態の概略構成を示す平面図である。同図に示す I E G T 3 は、ダミーセル領域 D C の第 2 ベース層 18 の表面層において、ダミーセル領域 D C を画定するトレンチ T R にその両端が接するように島状に形成された第 2 エミッタ層 38 を備え、ダミーセル領域 D C における、エミッタ電極 28 とのビアコンタクトのコンタクト領域 R e c 4 は、第 2 エミッタ層 38 の上面中央とその周辺箇所だけで構成される。I E G T 3 のその他の構成は、図 1 に示す I E G T 1 と実質的に同一である。

#### 【0044】

このような島状の第 2 エミッタ層 38 でエミッタコンタクトをとる場合でも、本実施形態の I E G T 3 は、上述した第 1 の実施形態と同様に機能し、同様の効果を奏する。

#### 【0045】

(第 3 の実施の形態)

図 8 は、本発明にかかる半導体装置の第 3 の実施の形態の概略構成を示す平面図である。同図に示す I E G T 4 は、図 1 に示す I E G T 1 と同様に、それぞれの一端がトレンチ T R に接し対をなすように互いに対向する孤立パターンの形態で第 2 ベース層 18 の表面層に選択的に形成された第 2 のエミッタ層 32 を備える。この一方、図示しないビアコンタクトを介して、メインセル領域 M C におけるエミッタコンタクトと同様のコンタクト領域 R e c 40 で第 2 エミッタ層 32 および第 2 ベース層 18 がエミッタ電極 28 に接続される。

#### 【0046】

このような形状によっても、本実施形態の I E G T 4 は、上述した第 1 の実施形態と同様の作用・効果を奏する。

#### 【0047】

(第 4 の実施の形態)

図 9 は、本発明にかかる半導体装置の第 4 の実施の形態の概略構成を示す平面図である。同図に示す I E G T 5 は、図 7 に示す I E G T 3 と同様の形状で第 2 ベース層 18 の表面層に配置された第 2 エミッタ層 38 を備え、前述した第 3 の実施形態の I E G T 4 と同様のコンタクト領域 R e c 40 で第 2 エミッタ層 32 および第 2 ベース層 18 が、図示し

ないビアコンタクトを介してエミッタ電極 28 に接続される。

【0048】

このような形状によっても、本実施形態の IEGT 4 は、上述した第 1 の実施形態と同様の作用・効果を奏する。

【0049】

(第 5 の実施の形態)

図 10 は、本発明にかかる半導体装置の第 5 の実施の形態の概略構成を示す断面図である。上述した実施形態では縦型の IEGT 1, 3~5 について説明したが、本実施形態では、これらの IEGT と等価の機能を有する横型の電力用半導体装置の一例を取り上げる。

【0050】

図 10 に示す IEGT 6 は、半導体支持層 64、絶縁層 62、および半導体活性層 60 を有する SOI (Silicon On Insulator) 基板上に形成される。活性層 60 が高抵抗の n 型ドリフト (n 型ベース層) 10 として使用される。図 10 の右側には、p 型コレクタ層 66 およびコレクタ電極 68 が配設される。図 10 の左側で、p 型コレクタ層 66 から隔離した領域には、n 型ドリフト層 10 の上に p 型ベース層が配設され、この p 型ベース層の表面からトレンチ TR が形成され、これにより、p 型ベース層がメインセル領域 MC の第 1 ベース層 16 およびダミーセル領域 DC の第 2 ベース層 18 に分割される。トレンチ TR の周辺には、図 2 の IEGT 1 の上側部分と同じ構造が形成される。

【0051】

図 2 に示す IEGT 1 では、コレクタ電極 26 とエミッタ電極 28 とが基板を挟んで配設された縦型の構造であるため、主電流が n 型ドリフト層 10 を縦に流れる。これに対して、図 10 に示す IEGT 6 では、コレクタ電極 68 とエミッタ電極 28 とが基板の同じ側に配設された横型の構造を有するため、主電流は n 型ドリフト層 10 を横に流れる。しかしながら、この点以外では、両装置の動作原理は全く同じである。このように、本発明は縦型の IEGT のみならず、横型の IEGT にも適用することができる。

【0052】

以上、本発明の実施の形態のいくつかについて説明したが、本発明は上記形態に限ることなく、その技術的範囲内で種々変形して適用可能である。

【図面の簡単な説明】

【0053】

【図 1】 本発明にかかる半導体装置の第 1 の実施の形態の概略構成を示す平面図である。

【図 2】 図 1 の B-B 線に沿った断面図である。

【図 3】 図 1 に示す半導体装置の A-A 切断線からみた断面斜視図である。

【図 4】 実験により得られた、図 1 に示す IEGT のターンオン時の電圧および電流波形の一例を示すグラフである。

【図 5】 シミュレーションにより得られた、図 1 に示す IEGT のターンオン時のゲート電荷特性の一例を示すグラフである。

【図 6】 (a)、(b) は、シミュレーションにより得られた、フローティング抵抗の抵抗値  $R_{float}$  に対する  $dV/dt$  およびオン電圧の関係、並びに  $R_{float}$  に対する負性容量を示す  $V_{ge}$  の範囲  $NCR$  およびオン電圧との関係をそれぞれ示すグラフである。

【図 7】 本発明にかかる半導体装置の第 2 の実施の形態の概略構成を示す平面図である。

【図 8】 本発明にかかる半導体装置の第 3 の実施の形態の概略構成を示す平面図である。

【図 9】 本発明にかかる半導体装置の第 4 の実施の形態の概略構成を示す平面図である。

【図 10】 本発明にかかる半導体装置の第 5 の実施の形態の概略構成を示す平面図で

ある。

【図 11】従来の技術によるトレンチ構造の縦型 IEGT の一例を示す断面図である。

【図 12】実験により得られた、従来の IEGT のターンオン時の電圧および電流波形の一例を示すグラフである。

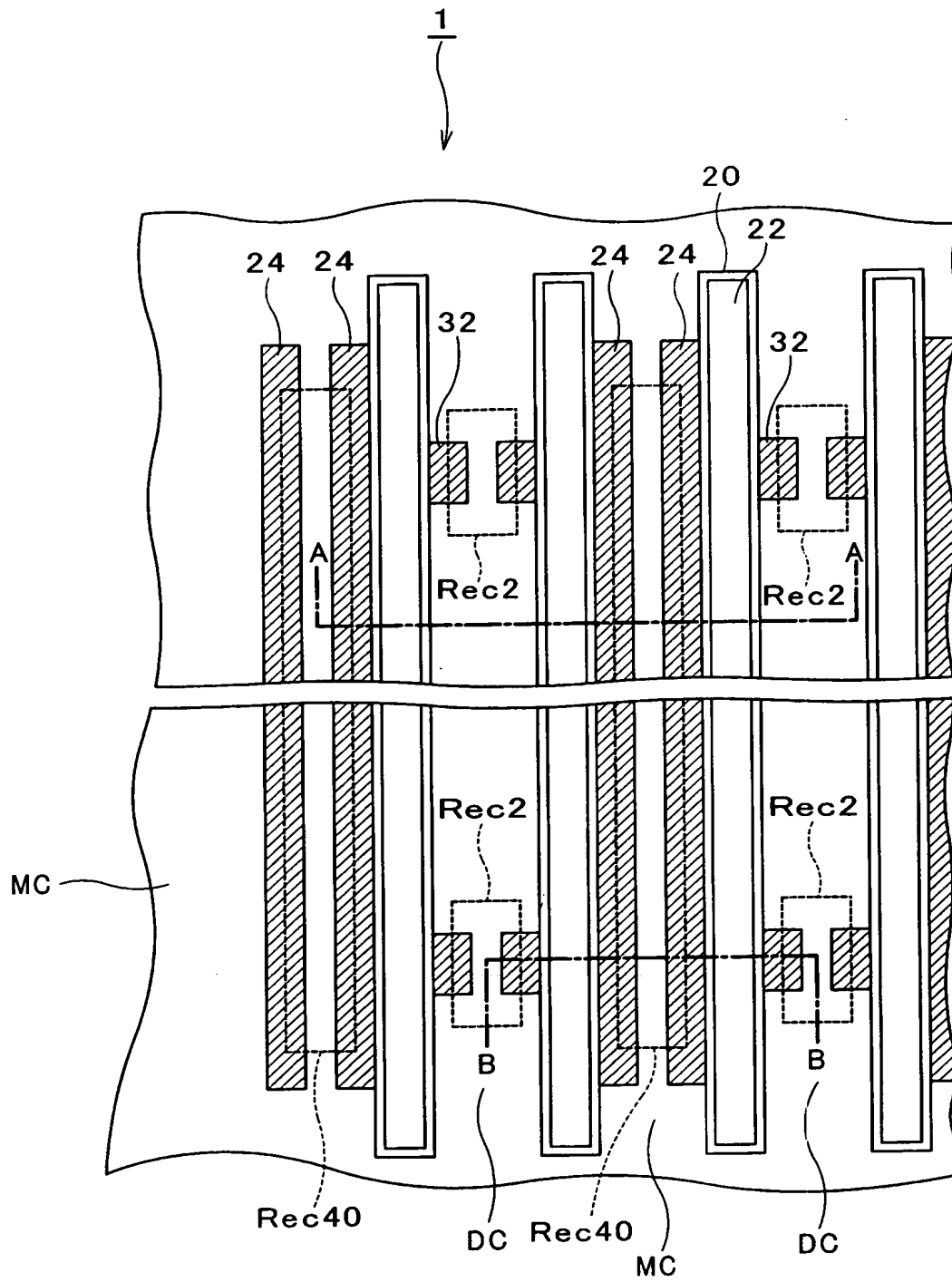
【図 13】シミュレーションにより得られた、従来の IEGT のターンオン時のゲート電荷特性の一例を示すグラフである。

【符号の説明】

【0054】

1, 3～6 IEGT  
10, 60 n型ドリフト層  
12 n型バッファ層  
14, 66 p型コレクタ層  
16 第1のp型ベース層  
18 第2のp型ベース層  
20 ゲート絶縁膜  
22 ゲート電極  
24 第1のエミッタ層  
26 コレクタ電極  
28, 68 エミッタ電極  
30 ビアコンタクト  
32, 36, 38 第2のエミッタ層  
34 フローティング抵抗  
62 絶縁層  
64 半導体支持層  
DC ダミーセル  
MC メインセル  
Rec 2, Rec 4, Rec 40 ビアコンタクトのコンタクト領域  
TR トレンチ

【書類名】 図面  
【図 1】

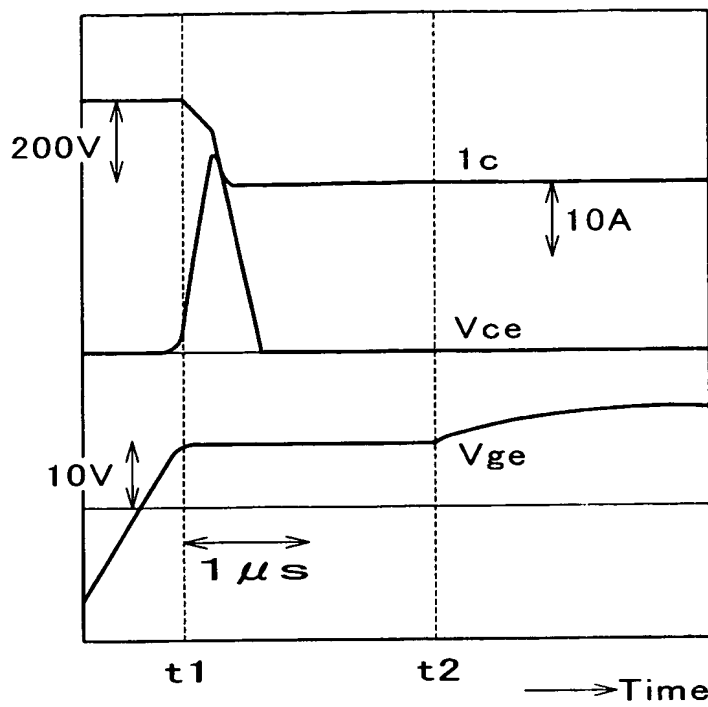




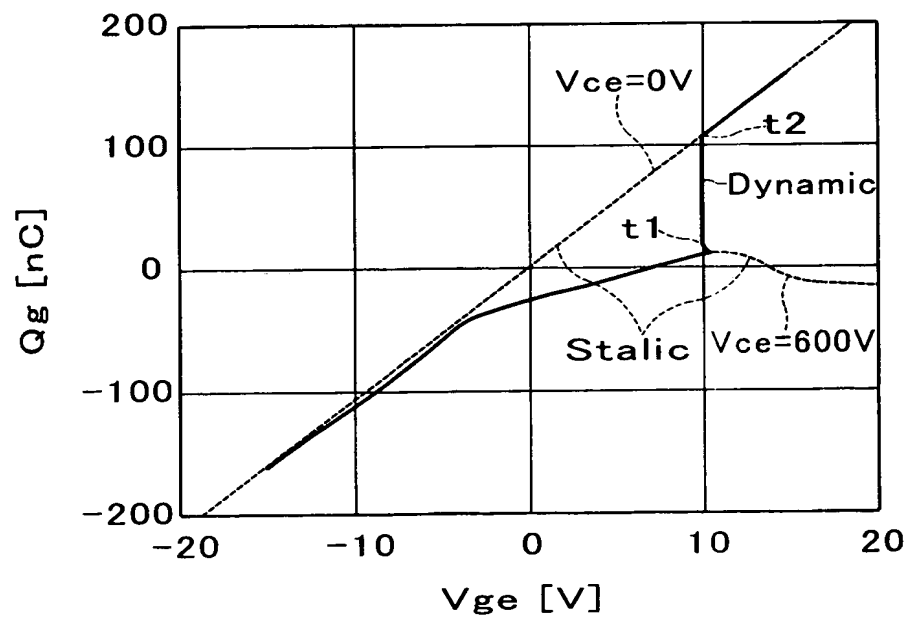




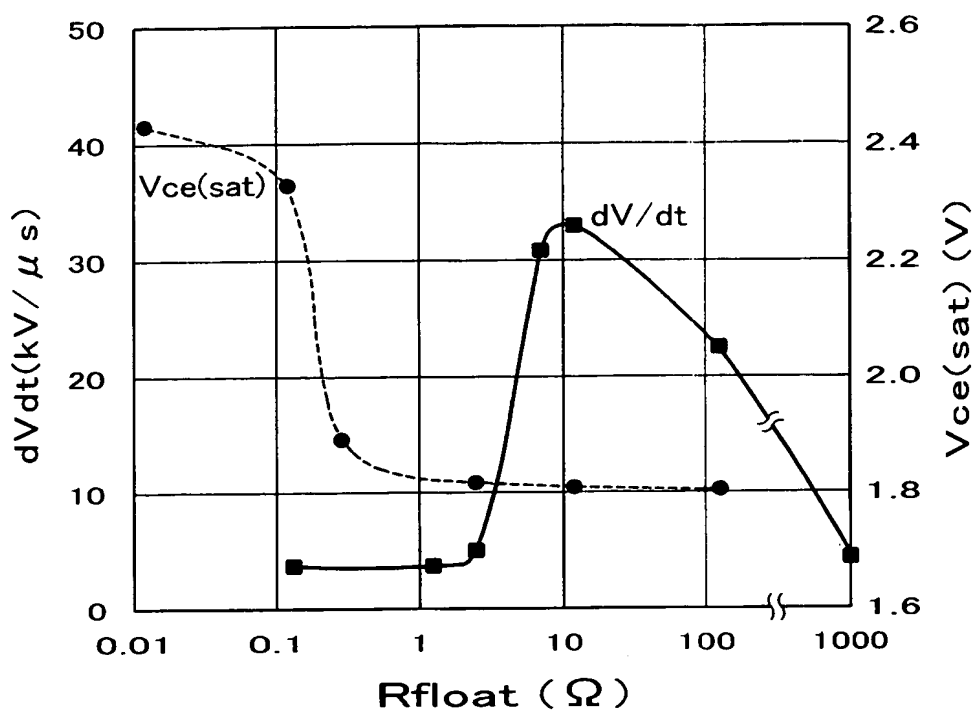
【図 4】



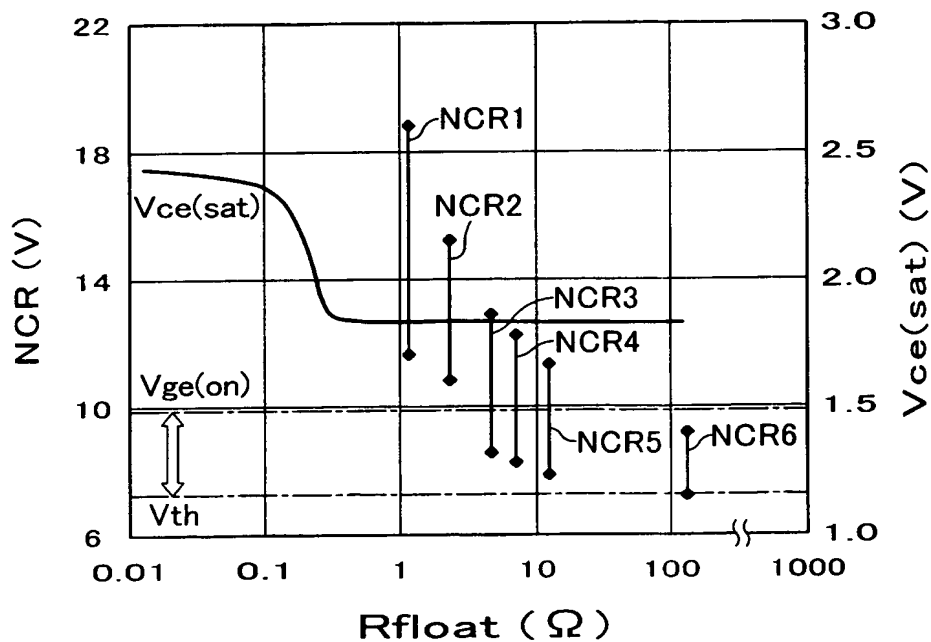
【図 5】



【図 6】

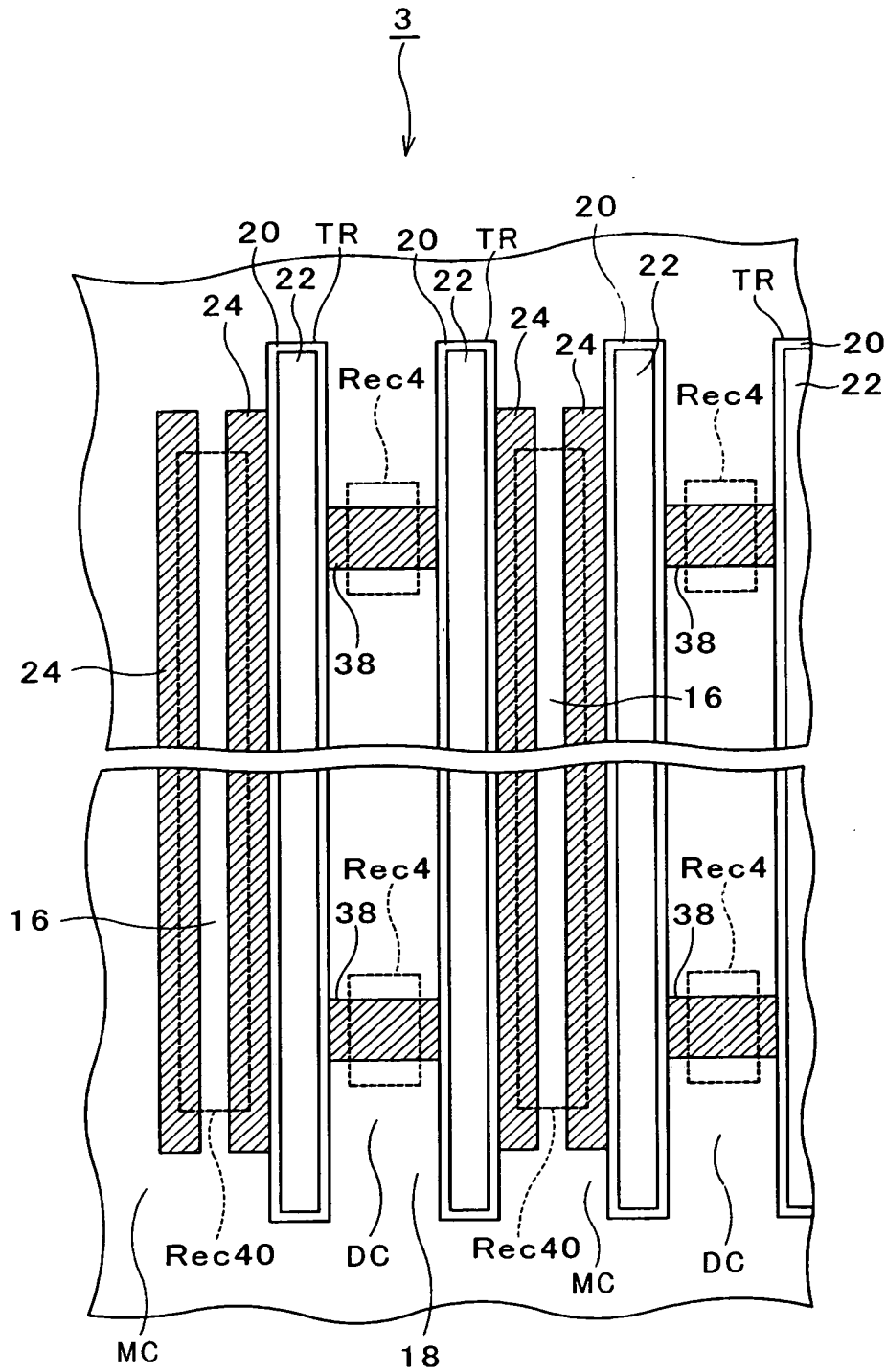


(a)

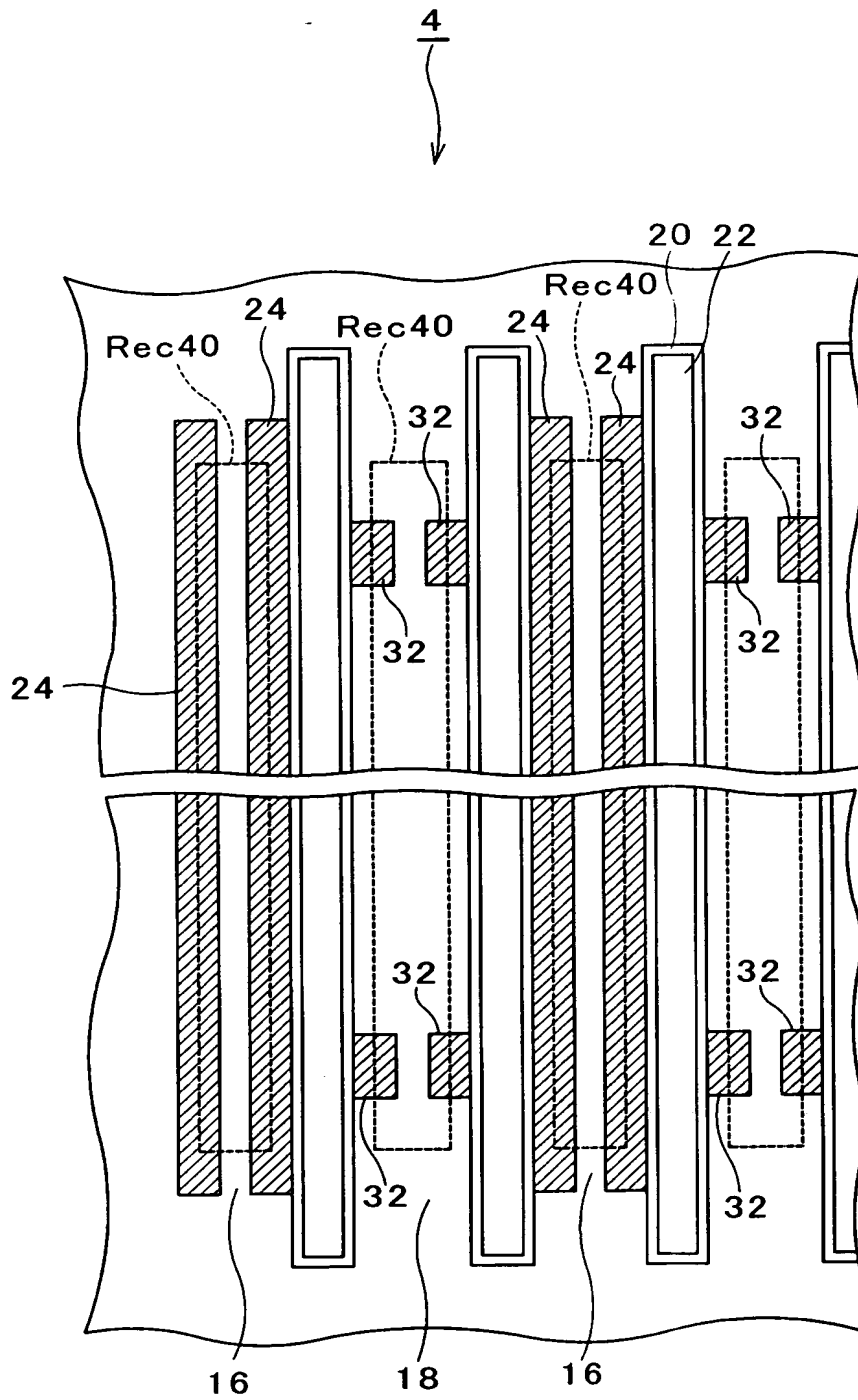


(b)

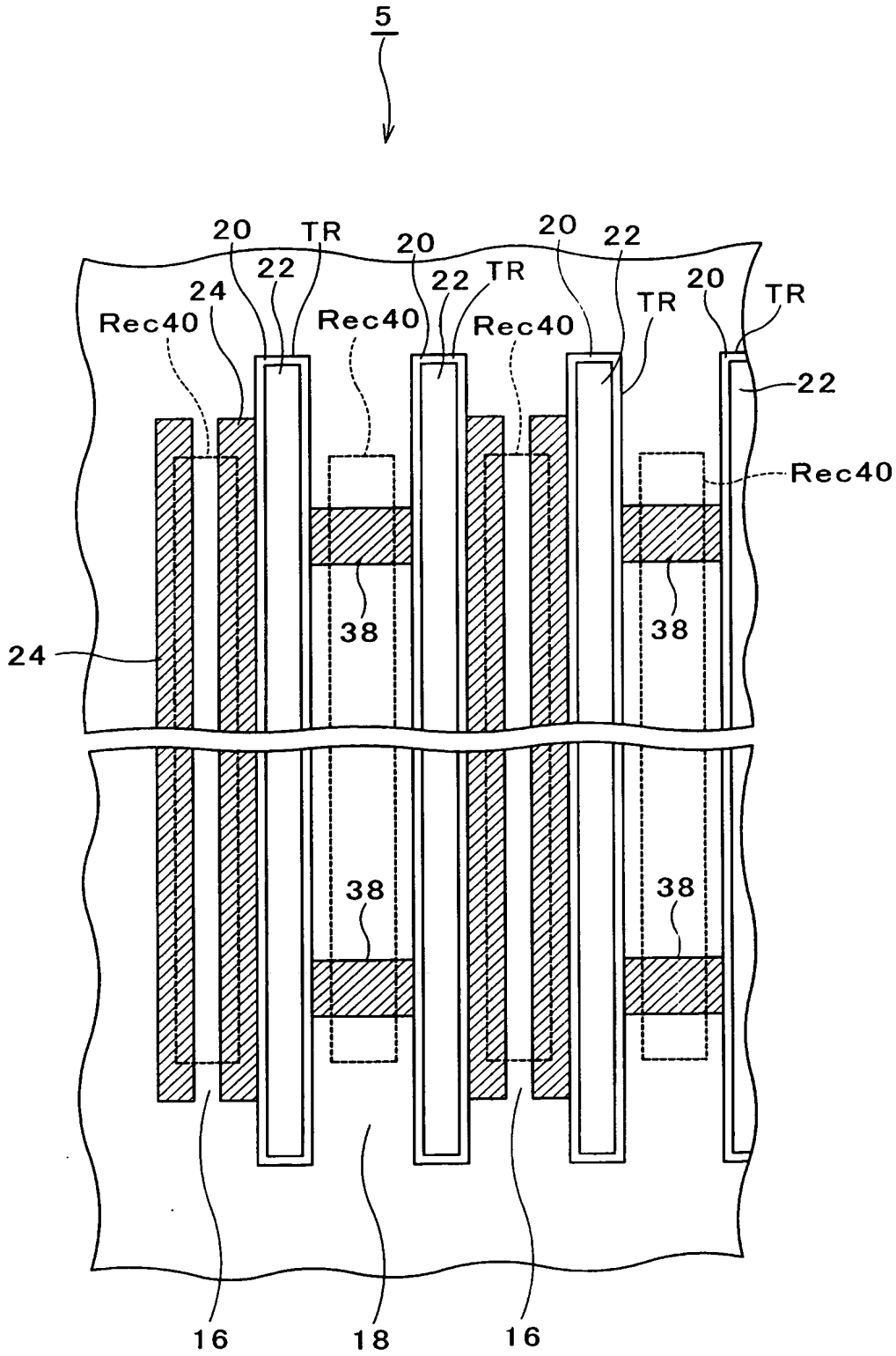
【図 7】



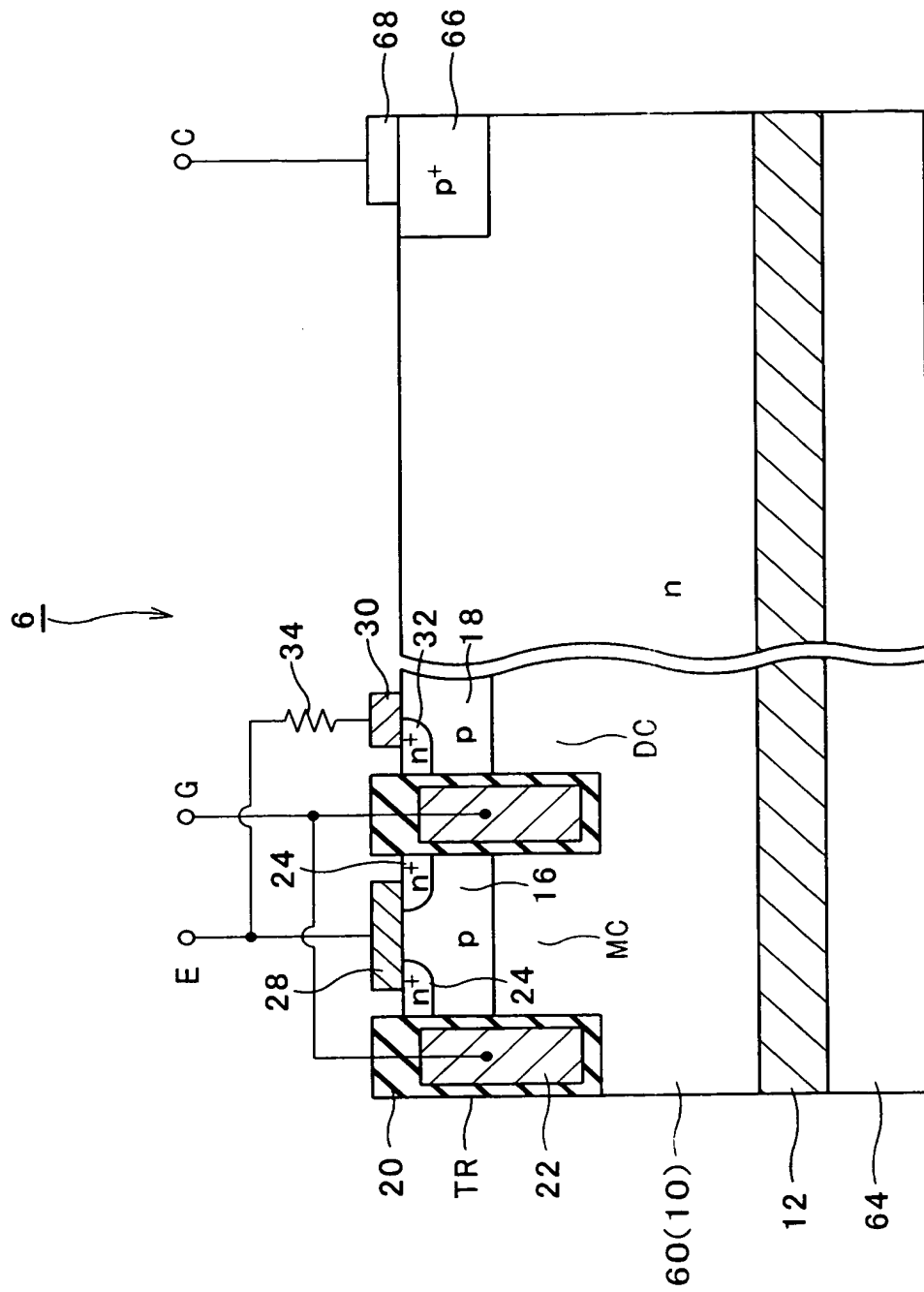
【図 8】



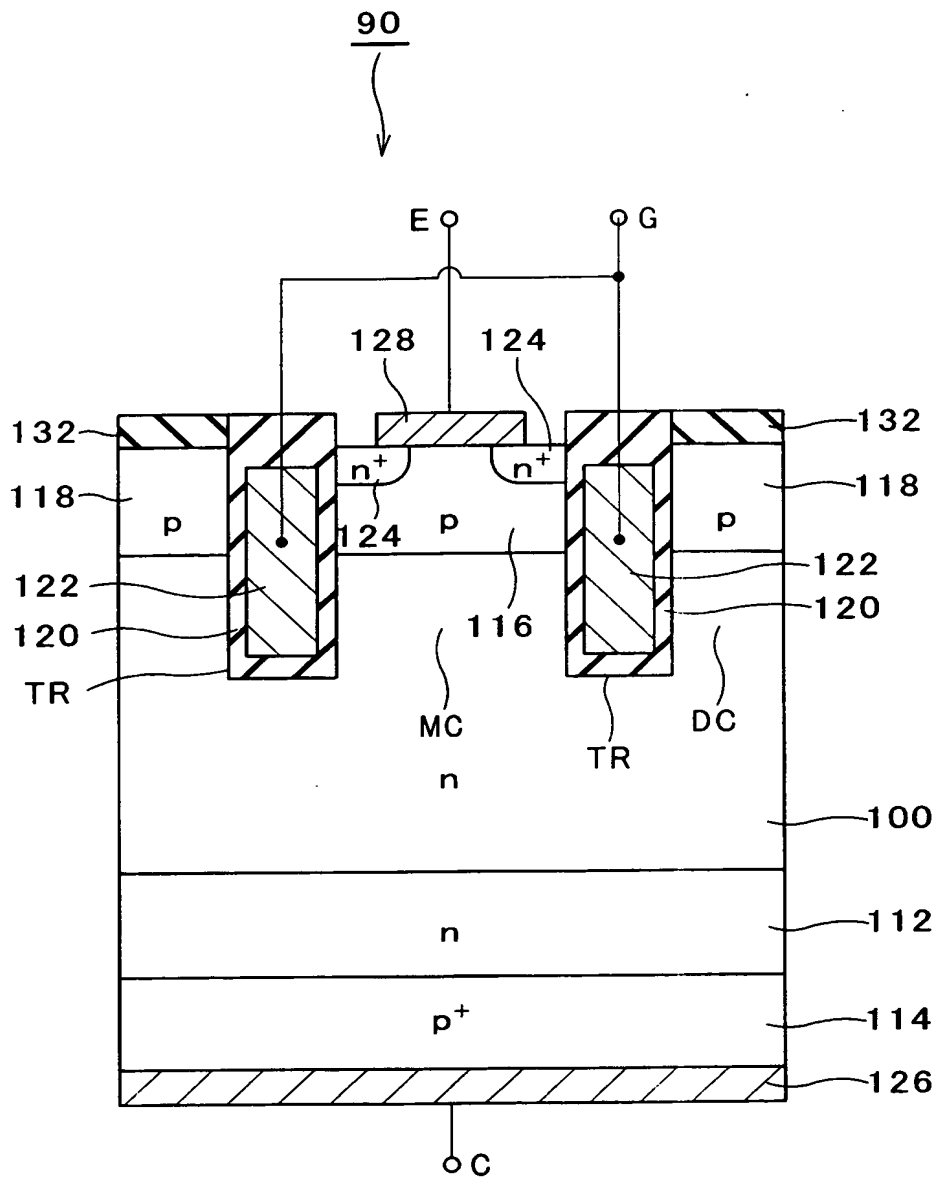
【図 9】



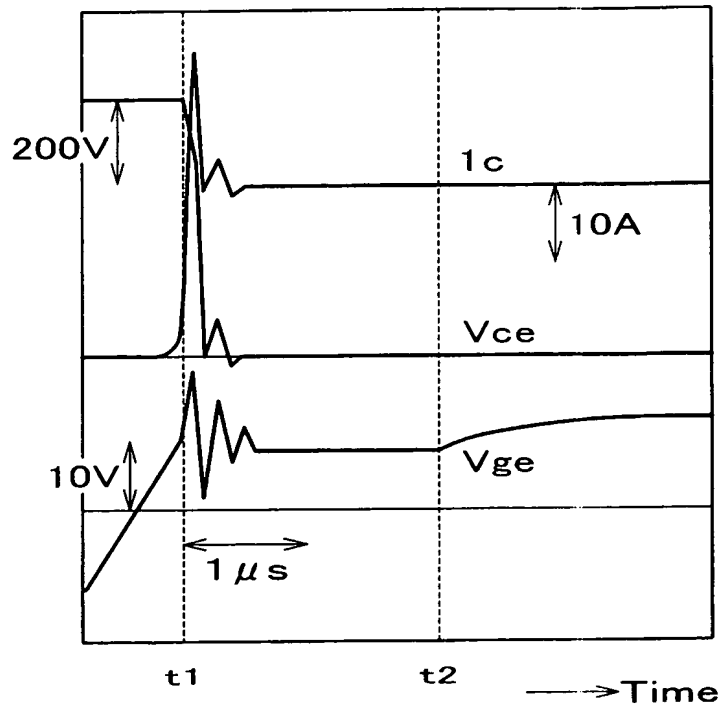
【図 10】



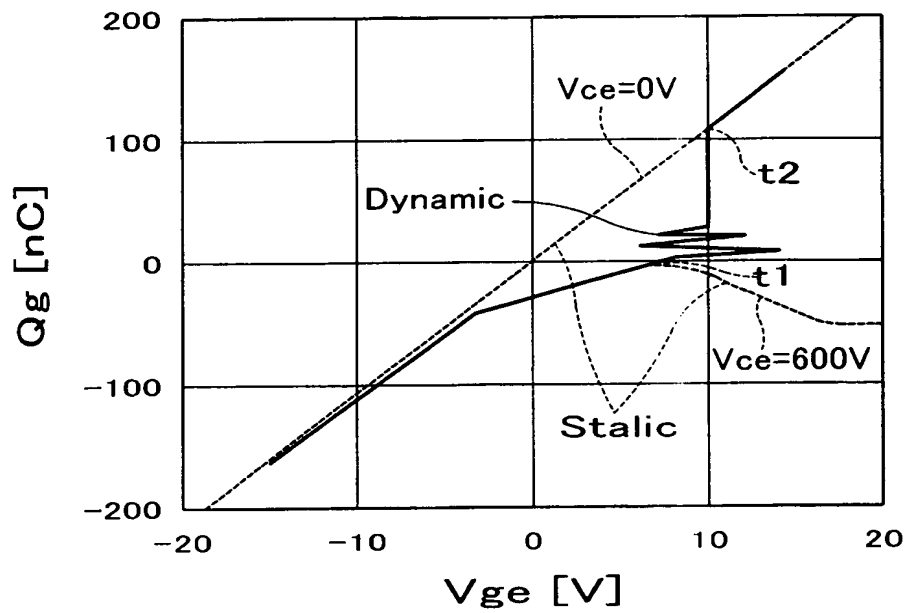
【図 11】



【図 1 2】



【図 1 3】





【書類名】 要約書

【要約】

【課題】 I E 効果を維持しながら、破壊耐量が改善された半導体装置を提供する。

【解決手段】 ダミーセル領域 DC を有する I E G T 1 において、ダミーのベース層 18 の表面層に狭小な第 2 のエミッタ層 32 を選択的に形成し、この第 2 のエミッタ層 32 とビアコンタクト 30 を介してベース層 18 をエミッタ電極 28 に接続し、かつ、第 2 のエミッタ層 32 とビアコンタクト 30 の形状でフローティング抵抗 34 の抵抗値を調整する。

【選択図】 図 2

特願 2 0 0 4 - 0 0 8 0 4 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝